

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

(19) 日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11) 特許出願公告番号

特公平7-62866

(24) (44) 公告日 平成7年(1995)7月5日

(51) Int.Cl. [®] G 0 6 T 1/20 G 0 6 F 15/16	識別記号 T 8219-5L 8420-5L	庁内整理番号 F I G 0 6 F 15/ 66	技術表示箇所 K
--	------------------------------	---------------------------------	-------------

発明の数1(全5頁)

(21) 出願番号	特願昭61-91791
(22) 出願日	昭和61年(1986)4月21日
(65) 公開番号	特開昭62-247472
(43) 公開日	昭和62年(1987)10月28日

特許法第30条第1項適用申請有り 第28回自動制御連合
講演会(昭和60年11月5日)

審判番号 平5-9870

(71) 出願人 99999999
工業技術院長
東京都千代田区霞が関1丁目3番1号
(72) 発明者 石川 正俊
茨城県筑波郡谷田部町東1丁目1番4号
工業技術院製品科学研究所内
(72) 発明者 下条 誠
茨城県筑波郡谷田部町東1丁目1番4号
工業技術院製品科学研究所内
(74) 指定代理人 工業技術院生命工学工業技術研究所長

審判の合議体
審判長 中村 刚基
審判官 鎌谷 洋治
審判官 円城寺 貞夫

(56) 参考文献 特開 昭56-123069 (J P, A)
特開 昭59-172064 (J P, A)

(54) 【発明の名称】 パターン信号処理用LSI

1

【特許請求の範囲】

【請求項1】複数のセンサと1対1に直結してそれらのセンサからの情報を並列的に直接入力する複数のプロセッサエレメントを備え、各プロセッサエレメントを、センサ出力、隣接プロセッサエレメントの出力、後記Aレジスタ及びTレジスタの出力、並びにインストラクションの1ビットからプロセッサエレメントの入力を選択する8入力マルチブレクサ、

上記マルチブレクサの出力をラッチして演算のタイミングを揃えるためのIn信号を作るD型フリップフロップ、上記In信号、後述の演算ユニットの出力、インストラクションの1ビット、及び自分のレジスタの出力から、次のA、T、Wの各レジスタへの入力を選択する3つの4入力マルチブレクサ、

2つの4ビットシフトレジスタを直列につなぐことによ

2

り、4ビットまたは8ビットのレジスタとして使用可能に形成したA、T、Wの各8ビットのシリアルレジスタ、キャリービット用及びサインビット用のD型フリップフロップ、並びにサインビット用の4入力マルチブレクサが付設され、A及びBの2つの入力に対してビットシリアルな演算処理を行う演算ユニット、

A、T、Wのレジスタ、及びインストラクションの1ビットを選択する4入力マルチブレクサ、

その4入力マルチブレクサの出力をラッチして演算ユニットのB入力を作るD型フリップフロップ、4ビットと4ビットのシリアルな掛算を行うマルチブレイヤ、

上記掛算を行うか否かの選択を行う2入力マルチブレクサ、

上記演算ユニットの出力をラッチして演算のタイミング

10

をそろえるD型フリップフロップ、このプロセッサエレメントの出力を選択する4入力マルチブレクサ、によって、集積化可能に構成したことを特徴とするパターン信号処理用LSI。

【発明の詳細な説明】

【産業上の利用分野】

本発明は、センサのインテリジェント化を目指したパターン信号処理用LSIに関するものである。

【従来の技術】

知能ロボットの視覚や、触覚、近接覚のセンサでは、パターン情報を扱う必要性が叫ばれている。しかも、これらのセンサの場合、ロボットのアームやハンドに取り付ける場合が多いため、配線コードを含めた小型軽量化、集積化が必要であり、さらに入力動作に必要な処理時間の短縮も重要である。このため、演算回路や伝送回路を検出部と一体化してそれらの要求を満たすインテリジェントセンサの開発が望まれている。

【発明が解決しようとする課題】

本発明の主たる目的は、上述したセンサのインテリジェント化を目指して、局所的な並列演算を実行するパターン信号処理用のLSIを提供することにある。

【課題を解決するための手段】

上記目的を達成するための本発明のLSIは、複数のセンサと1対1に直結してそれらのセンサからの情報を並列的に直接入力する複数のプロセッサエレメント（以下、セルと呼ぶ。）を備え、各セルを、

(1) センサ出力、隣接セルの出力、後記Aレジスタ及びTレジスタの出力、並びにインストラクションの1ビットからセルの入力を選択する8入力マルチブレクサ、
(2) 上記マルチブレクサの出力をラッチして演算のタイミングを揃えるためのIn信号を作るD型フリップフロップ、

(3) 上記In信号、後述の演算ユニットの出力、インストラクションの1ビット、及び自分のレジスタの出力から、次のA、T、Wの各レジスタへの入力を選択する3つの4入力マルチブレクサ、

(4) 2つの4ビットシフトレジスタを直列につなぐことにより、4ビットまたは8ビットのレジスタとして使用可能に形成したA（汎用アキュムレータ）、T（テンプレートレジスタ）、W（重み付けレジスタ）の各8ビットのシリアルレジスタ、

(5) キャリービット用及びサインビット用のD型フリップフロップ、並びにサインビット用の4入力マルチブレクサが付設され、A及びBの2つの入力に対してビットシリアルな演算処理を行う演算ユニット(ALU)、

(6) A、T、Wのレジスタ、及びインストラクションの1ビットを選択する4入力マルチブレクサ、
(7) その4入力マルチブレクサの出力をラッチしてALUのB入力を作るD型フリップフロップ、

(8) 4ビットと4ビットのシリアルな掛算を行うマルチブライヤ、

(9) 上記掛算を行うか否かの選択を行う2入力マルチブレクサ、

(10) 上記ALUの出力をラッチして演算のタイミングをそろえるD型フリップフロップ、

(11) このセルの出力を選択する4入力マルチブレクサ、

によって、集積化可能に構成したことを特徴とするものである。

10 [作用]

複数のセンサとセルを1対1に直結しているため、それらのセンサからの情報が複数のセルに並列的に直接入力される。そのため、1回の入力動作で複数のセルへの入力が可能であり、この入力動作に必要な処理時間が短縮される。各セルにおいては、その各構成要素が有機的に機能して情報を処理し、これにより各セル毎に並列演算が行われる。特に、各セルにおいては、ビットシリアル演算が行われるため、ゲート数を減少させることができ、また積和演算器を内蔵しているため相関演算等も実現され、さらに各種制御線はマイクロプログラムによって制御することも可能である。

[実施例]

第1図は、本発明に係るパターン信号処理用LSIの実施例の要部を示し、そのパターン信号処理用LSIは、センサに対応して第1図に示すようなセルの8個を有するものである。

第2図に基づいてその概要を説明すると、同図(a)、(b)は、センサとそのセンサからの情報を処理するセルとの対応関係を示し、第2図(a)はマトリクスタイプのもので、マトリクス状に配置されたセンサ1, 1, ···の出力を一つに付き一つのセル2, 2, ···に入力するタイプである。また、第2図(b)は、スキャニングタイプのもので、11, 11, ···はセンサ、12, 12, ···はセルをそれぞれ示し、一つのセンサ列に対して一つのセルが対応している。

本発明の実施例として示すパターン信号処理用LSIは、上記第2図(a)、(b)において、SPE-8と表示した部分のセル（1×8セル）をチップ化したもので、全

40 体として、内部の構造を各セル共通の制御線で制御する SIMD型の並列処理を行う構造になっている。
次に、第1図に示す一つのセルの構成について説明する。

まず、このセルの主要部は、セルの入力を選択する8入力マルチブレクサ21、演算のタイミングを揃えるためのIn信号を作るD型フリップフロップ22、次のA（汎用アキュムレータ）、T（テンプレートレジスタ）、W（重み付けレジスタ）の各レジスタへの入力を選択する4入力マルチブレクサ23A, 23T, 23W、2つの4ビットシフトレジスタを直列につなぐことにより形成したA, T, Wの各

8ビットのシリアルレジスタ24A, 24T, 24W、キャリービット用及びサインビット用のD型フリップフロップ25c, 25s、並びにサインビット用の4入力マルチプレクサ25mが付設され、このセルの主たる演算処理を行うALU25、上記ALU25のB入力を選択する4入力マルチプレクサ26、演算のタイミングを揃えるD型フリップフロップ27、シリアルな掛算を行うマルチプライヤ28、上記掛算を行うか否かを選択する2入力マルチプレクサ29、上記ALU25の出力をラッチして演算のタイミングをそろえるD型フリップフロップ30、このセルの出力を選択する4入力マルチプレクサ31によって構成されている。

また、上記LSIには、8個のセルにおけるALUの出力をRowとColでスキャンニングする8入力NAND要素32、論理演算後に全部のセルでビットが立っているか否かをチェックするための8入力NOR要素33が設けられている。

次に、上記セルにおける各要素についてさらに具体的に説明する。

① 8入力マルチプレクサ (21)

8つの入力、即ち、センサ出力(ss)、隣接セルの出力(RU, RLo, RLe, RR), Aレジスタ及びTレジスタの出力(Areg., Treg.)、インストラクションの1ビット(I₁₁)から一つを選択し、次の②を経てIn信号を作る。いわば、このセルの入力を選択するものである。

センサ出力を選択すれば、センサの出力が演算処理の対象となり、隣接セルを選択すれば、相関演算などの空間的フィルタリングが可能となり、AレジスタやTレジスタを選択すれば、レジスタ間の演算が可能となり、インストラクションの1ビットを選択すれば、ソフトウェア上から1ビット単位の定数の入力が可能となる。

② D型フリップフロップ (22)

上記①の出力をラッチし、In信号を作る。この信号は、演算のタイミングを揃えるためのものである。CP₀はシステムクロック、I₁₁はリセット信号である。

③-1～34入力マルチプレクサ (23A, 23T, 23W)

A, T, Wの各レジスタへの入力を選択する。4つの入力は、上記②の出力であるIn信号、後述のALUの出力、インストラクションの1ビット、自分のレジスタの出力である。

上記③のIn信号を選択すれば、Inからレジスタへの代入が可能となり、後述のALUの出力を選択すれば、演算結果をレジスタに戻すことができ、インストラクションの1ビットを選択すれば、ソフトウェア上から1ビット単位の定数をレジスタに設定することができる。

④-1～38ビットのシリアルレジスタ (24A, 24T, 24W)

A, T, Wの3種類で、それぞれ4ビットのシフトレジスタを2つ直列に用いることにより、8ビットのシリアルレジスタを形成している。これらは、上下4ビットずつをスワップ可能にしており、8ビット単位のレジスタとしても、4ビット単位のレジスタとしても使えるようにしている。

I₁₁～I₁₁はそのスワップ信号、CP₁～CP₃はシフト信号である。AレジスタとTレジスタは全く同等の扱いを受けるが、掛算の置数として使えるのは、Wレジスタの上位の4ビットだけである。

⑤ ALU (25)

このセルの主たる演算処理を行う部分で、Aからの入力とBからの入力に対し、ビットシリアルな演算を行うものである。このALUには、キャリービット用のD型フリップフロップ25c、サインビット用のD型フリップフロップ25s、サインビット選択用の4入力マルチプレクサ25mが付設され、マルチプレクサ25mにより各レジスタ(4ビット対応)のサインビットを選択し、D型フリップフロップ25sでラッチすることにより演算の正負の制御が行われる。

これらにより可能な演算は、

A and B A and \bar{B}

A or B A or \bar{B}

A exor B A exor \bar{B}

\bar{A}, \bar{B}

A+B, A-B, |A|, |B|

(\bar{B} はBの反転を意味する。)

となる。

⑥ 4入力マルチプレクサ (26)

ALUのB入力を選択するためのものである。3つのレジスタの出力(Areg., Treg., Wreg.)及びソフトウェアからの定数(I₁₁)を選択できる。

⑦ D型フリップフロップ (27)

上記⑥の出力をラッチしB入力を作る。演算のタイミングをそろえるためのものである。

⑧ マルチプライヤ (28)

4ビットと4ビットのシリアルの掛算を行うもので、具体的にはIn(シリアル)とWレジスタ(パラレル)の掛算を実行し、上記ALU25のA入力に入れる。

⑨ 2入力マルチプレクサ (29)

上記⑧のマルチプライヤを使うか使わないかの選択を行う。In信号を選択すれば、それがALUのA入力となり、マルチプライヤ側を選択すれば、掛算結果がALUのA入力になる。

⑩ D型フリップフロップ (30)

上記ALUの出力をラッチする。制御のタイミングをそろえるためのものである。

⑪ 4入力マルチプレクサ (31)

このセル自体の出力を選択するものである。

In信号を選択すれば、その信号はこのセルを演算処理なしに通り抜けることになり(伝送用)、ALUを選択すれば、演算結果がそのまま出力される。また、Areg.及びTreg.を選択すれば各レジスタの内容が出力される。

なお、上記セルに付設される8入力NAND要素32は、8個のセルにおけるALUの出力をスキャンニングするものであり、また、8入力NOR要素33は、論理演算後に、全部

のセルでビットが立っているかどうかをチェックするもので、一つのセルでもビットが立っていれば、論理0を出力する。

上述した構成を有するセルにおいては、センサあるいは近傍のセルからの情報が、マルチプレクサを通してALUやレジスタに入力され、所要の演算が行われるが、内部の演算はビットシリアル演算であり、それによってセルのゲート数を減らすことができる。また、4ビット×4ビット+8ビットの積和演算器も内蔵しており、そのため相関演算等を容易に実現することができる。

上記LSIの制御は、第1図に示す各種制御線(32ビット)をマイクロプログラム(lword=10ビット)で制御するが、この制御を実現する方法の一つは、マイクロプロセッサを用いて制御する方法で、I/Oプロセッサ的な使い方である。もう一つは、一般的のビットスライスマイクロプロセッサと同様にマイクロプログラムシーケンサを用いる方法で、専用のLSIも市販されている。この場合、サブルーチンの実現も可能である。

[発明の効果]

以上に詳述した本発明のパターン信号処理用LSIは、複数のセンサとプロセッサエレメントを1対1に直結して、それらのセンサからの情報を並列的に直接入力する

ようしているため、1回の入力動作で複数のセルへの入力が可能であり、この入力動作に必要な処理時間が短縮される。そして、複数のセンサからの情報の並列演算が可能であるため、パターン情報を扱う必要性のある知能ロボットの視覚や、触覚、近接覚のセンサにおけるインテリジェント化の達成に有用である。また、LSI化によりセンサの検出部分と演算部分を一体化でき、それによって配線コードを含めた小型軽量化等の要求をも満たしたインテリジェント化を達成することができる。

10 【図面の簡単な説明】

第1図は本発明に係るLSI中の一つのプロセッサエレメントのブロック図、第2図(a), (b)はセンサとプロセッサエレメントとの関係を示す説明図である。

1, 11, ……センサ、2, 12, ……セル、

21……8入力マルチプレクサ、

22, 25c, 25s, 27, 30……D型フリップフロップ、

23A, 23T, 23W……(4入力マルチプレクサ)、

25m, 26, 31……(4入力マルチプレクサ)、

24A, 24T, 24W……シリアルレジスタ、

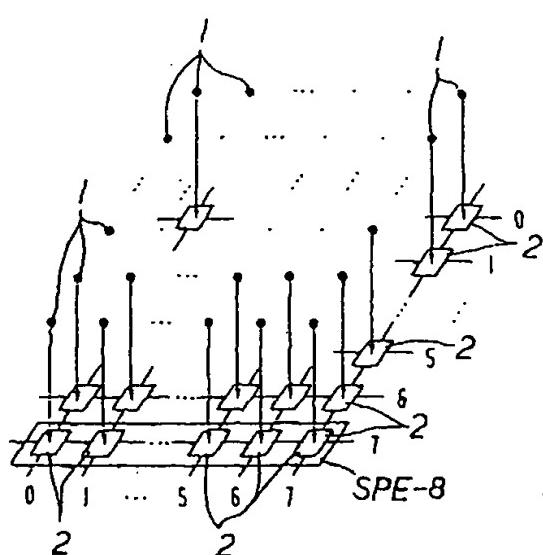
25……演算ユニット、28……マルチプライヤ、

29……2入力マルチプレクサ。

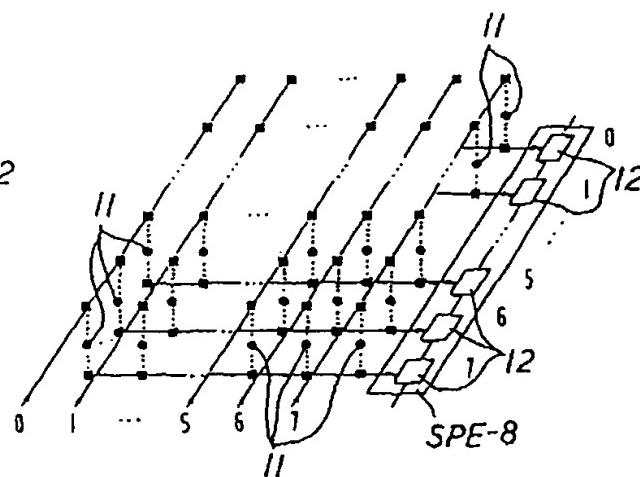
20

【第2図】

(a)



(b)



【第1図】

